

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-142608

(P2003-142608A)

(43)公開日 平成15年5月16日 (2003.5.16)

(51)Int.Cl.⁷

H 0 1 L 21/8242
21/28
27/10
27/108

識別記号

3 0 1
4 8 1

F I

H 0 1 L 21/28
27/10

テ-マコード(参考)

3 0 1 S 4 M 1 0 4
4 8 1 5 F 0 8 3
6 8 1 F

審査請求 未請求 請求項の数9 OL (全7頁)

(21)出願番号

特願2001-342706(P2001-342706)

(22)出願日

平成13年11月8日 (2001.11.8)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 前田 容志

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100093562

弁理士 児玉 俊英 (外3名)

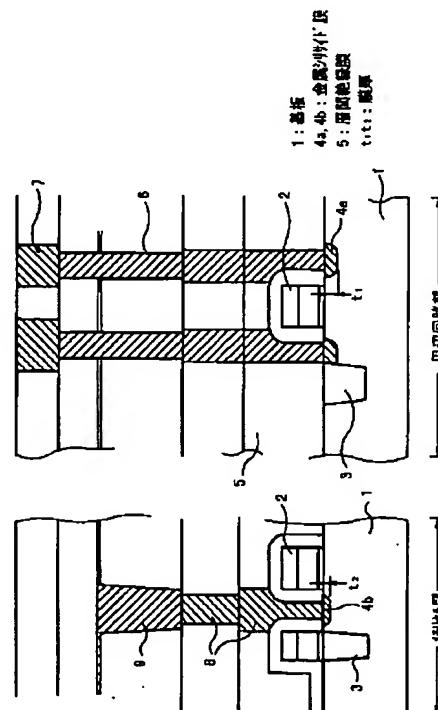
最終頁に続く

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【課題】 半導体記憶装置の配線の低抵抗化のため活性領域上に設けられている金属シリサイド膜の厚さを増すと、接合リーキ電流値が増大する。半導体記憶装置においては、この接合リーキ電流が増大することは許容されない、接合リーキ電流が増大することなく配線の低抵抗化を図る。

【解決手段】 半導体記憶装置の周辺回路部基板の活性領域上の金属シリサイド膜厚が、メモリセル部基板の活性領域上の金属シリサイド膜厚より厚く、周辺回路部の配線抵抗を低減し、一方メモリセル部の接合リーキ電流は従来と同様レベル値とした。



Best Available Copy

【特許請求の範囲】

【請求項1】 半導体基板上に設けられたメモリセル部と、周辺回路部とを備えた半導体記憶装置であって、前記周辺回路部基板の活性領域上に設けられた金属シリサイド膜厚が、前記メモリセル部基板の活性領域上に設けられた金属シリサイド膜厚より厚いことを特徴とする半導体記憶装置。

【請求項2】 半導体基板上に設けられたメモリセル部と、周辺回路部とを備えた半導体記憶装置であって、前記半導体基板上には基板に接してN SG膜が層間絶縁膜として形成されており、前記周辺回路部基板の活性領域上に設けられた金属シリサイド膜厚が、前記メモリセル部基板の活性領域上に設けられた金属シリサイド膜厚より厚いことを特徴とする半導体記憶装置。

【請求項3】 次のステップを備えたことを特徴とする半導体記憶装置の製造方法。

(1) メモリセル部および周辺回路部に活性領域が形成された半導体基板上に基板に接して層間絶縁膜を形成するステップ。

(2) 前記周辺回路部の活性領域上の層間絶縁膜に開口を形成するステップ。

(3) 全面に第1の金属膜を成膜後、第1の熱処理を施し金属シリサイド膜を形成するステップ。

(4) 前記第1の金属膜を除去するステップ。

(5) 全面にレジスト膜を設け、写真製版、エッチングにより前記メモリセル部の活性領域上の絶縁膜に開口を形成後、前記レジストを除去するステップ。

(6) 全面に第2の金属膜を成膜後、第2の熱処理を施し金属シリサイド膜を形成するステップ。

(7) 前記第2の金属膜を除去するステップ。

(8) 第3の熱処理を施すステップ。

【請求項4】 次のステップを備えたことを特徴とする半導体記憶装置の製造方法。

(1) メモリセル部および周辺回路部に活性領域が形成された半導体基板上に基板に接して層間絶縁膜を形成するステップ。

(2) 前記周辺回路部の活性領域上の層間絶縁膜に開口を形成するステップ。

(3) 全面に第1の金属膜を成膜後、第1の熱処理を施し金属シリサイド膜を形成するステップ。

(4) 前記第1の金属膜を除去するステップ。

(5) 全面にレジスト膜を設け、写真製版、エッチングにより前記メモリセル部の活性領域上の絶縁膜に開口を形成後、前記レジストを除去するステップ。

(6) 全面に第2の金属膜を成膜後、第2の熱処理を施し金属シリサイド膜を形成するステップ。

(7) 前記第2の金属膜を除去するステップ。

(8) 全面にレジスト膜を設け、写真製版、エッチングにより前記周辺回路部の活性領域上に開口を形成後、イオン注入を行うステップ。

10 (9) 前記レジスト膜を除去後、第3の熱処理を施すステップ。

【請求項5】 次のステップを備えたことを特徴とする半導体記憶装置の製造方法。

(1) メモリセル部および周辺回路部に活性領域が形成された半導体基板上に基板に接して層間絶縁膜を形成するステップ。

(2) 前記周辺回路部の活性領域上の層間絶縁膜に開口を形成するステップ。

10 (3) 全面に第1の金属膜を成膜後、第1の熱処理を施し金属シリサイド膜を形成するステップ。

(4) 前記第1の金属膜を除去するステップ。

(5) 全面にレジスト膜を設け、写真製版、エッチングにより前記メモリセル部の活性領域上の絶縁膜に開口を形成後、前記レジストを除去するステップ。

(6) 全面に第2の金属膜を成膜後、第2の熱処理を施し金属シリサイド膜を形成するステップ。

(7) 前記第2の金属膜を除去するステップ。

20 (8) 全面にタンゲステン膜、タンゲステンナイトライド膜またはチタンナイトライド膜よりなる保護膜を成膜後、第3の熱処理を施すステップ。

(9) 前記保護膜を除去するステップ。

【請求項6】 金属シリサイド膜がコバルトリシリサイド、チタンシリサイド、ニッケルシリサイド、白金シリサイドまたはバナジウムシリサイドであることを特徴とする請求項1または請求項2に記載の半導体記憶装置。

【請求項7】 金属シリサイド膜がコバルトリシリサイド、チタンシリサイド、ニッケルシリサイド、白金シリサイドまたはバナジウムシリサイドであることを特徴とする請求項3～請求項5のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項8】 層間絶縁膜がN SG膜であることを特徴とする請求項3～請求項5のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項9】 第1および第2の熱処理は不活性ガス雰囲気中で400～550°C、30～120秒間の処理を行うものであり、第3の熱処理は不活性ガス雰囲気中で650～850°C、30～120秒間の処理とすることを特徴とする請求項3～請求項5のいずれか1項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置およびその製造方法に係るものであり、特に基板の不純物拡散層上の配線抵抗の低抵抗化を目的とした金属シリサイド膜を有する半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】半導体記憶装置の高性能化、高速化を狙い、配線抵抗の低抵抗化が図られている。この低抵抗化

50

の手段として半導体記憶装置の活性領域に金属シリサイド膜を形成することが採用されている。一般に低抵抗化のために金属シリサイド膜厚を厚くするとその配線抵抗は減少するが、その一方、接合界面と電極間との距離が短くなり、ここに印加される電界が大きくなり接合リーケ電流が増大する。従って、活性領域の金属シリサイド膜厚は接合リーケ電流と低抵抗化との兼ね合いから決定されている。ところで、DRAMやSRAM等の半導体記憶装置では、メモリセル部と周辺回路部のそれぞれの活性領域に形成されている金属シリサイド膜厚は同一の厚さを有して製造されている。この膜厚はメモリセル部の接合リーケ電流を少なく律することから定められたものであり、周辺回路部サイドからの要求機能では必ずしもなかった。

【0003】

【発明が解決しようとする課題】しかしながら以上に述べたような半導体記憶装置では、周辺回路部のより配線抵抗の低抵抗化や、消費電力、発熱の低減さらには高速化の要求に対して対応できなくなってきた。つまりメモリセル部の活性領域上の金属シリサイド構造によって支配される周辺回路部の金属シリサイド構造では所望の低抵抗値を有する配線は得られにくいという問題点があった。

【0004】この発明はこのような課題を解決しようとするためになされたものであり、メモリセル部と周辺回路部の活性領域上では異なる膜厚の金属シリサイド膜を形成しその膜厚はメモリセル部では接合リーケ電流を増大化しないよう配慮したものであり、周辺回路部ではメモリセル部より厚い金属シリサイド膜構造とし、低い抵抗配線を備えた半導体記憶装置およびその製造方法の提供することを目的としている。

【0005】

【課題を解決するための手段】この発明に係る半導体記憶装置は、周辺回路部活性領域上の金属シリサイド膜厚が、メモリセル部活性領域上の膜厚より厚いものである。

【0006】また、基板に接してNSG膜が形成されるとともに、周辺回路部活性領域上の金属シリサイド膜厚が、メモリセル部活性領域上の膜厚より厚いものである。

【0007】また、半導体記憶装置の製造方法であって、メモリセル部および周辺回路部の活性領域が形成された基板に接して層間絶縁膜を形成し周辺回路部活性領域上に開口を形成し、全面に金属膜を成膜、第1の熱処理によって金属シリサイド膜を形成し、次に、シリサイド化しなかった金属膜を除去後、レジスト膜を設けメモリセル部の活性領域上の絶縁膜に開口形成、レジストを除去し、全面に金属膜を成膜、第2の熱処理によって金属シリサイドを形成し、シリサイド化しなかった金属膜を除去後、第3の熱処理を施すステップを有するもので

ある。

【0008】またさらに前記第3の熱処理を施す前に、全面にレジスト膜を設けた後メモリセル部の活性領域上に開口を形成し、イオンを注入し、レジスト膜除去後第3の熱処理を施すステップを有する半導体記憶装置の製造方法である。

【0009】また、同様に前記第3の熱処理を施す前に、全面にタンゲステン膜、タンゲステンナイトライド膜またはチタンナイトライド膜よりなる保護膜を形成後に第3の熱処理を施し、その後前記保護膜を除去するステップを有する半導体記憶装置の製造方法である。

【0010】またさらに金属シリサイド膜がコバルトシリサイド、チタンシリサイド、ニッケルシリサイド、白金シリサイドまたはパナジウムシリサイドのいずれかの半導体記憶装置および半導体記憶装置の製造方法である。

【0011】また、基板に接する層間絶縁膜がNSG膜である半導体記憶装置の製造方法である。

【0012】またさらに、第1～第3の熱処理は不活性ガス雰囲気中で行われ第1、第2の熱処理は400～550℃、30～120秒間、第3の熱処理は650～850℃、30～120秒間の処理とする製造方法である。

【0013】

【発明の実施の形態】実施の形態1. 以下、この発明の実施の形態1の半導体記憶装置を図1および図2～図6に示す製造ステップによって説明する。図1はこの発明の実施の形態1～4に共通した半導体記憶装置例えはDRAM、SRAMやロジック混載メモリ等の活性領域部分を示す図である。メモリセル部と周辺回路部とは共通の半導体基板1上に設けられている。2はゲート電極、3は分離酸化膜(LOCOS又はトレーナー分離)である、4aは周辺回路部の活性領域上に設けられた金属シリサイド膜であり、t₁の膜厚を有している。4bはメモリセル部の活性領域上に設けられた金属シリサイド膜であり、t₂の膜厚を有している。5は前記基板1に接して設けられた層間絶縁膜、6は配線層7と基板1間とのコンタクトである。8はメモリセル部のストレージノードコンタクトであり、9はストレージノードである。

実施の形態1による半導体記憶装置は、図1に示すように周辺回路部の基板活性領域上に設けられた金属シリサイド膜4aの膜厚t₁と、メモリセル部の基板活性領域上に設けられた金属シリサイド膜4bの膜厚t₂との関係がt₁ > t₂となるような構造を採用している。このような構造を採用した理由を以下に説明する。一般に配線部分、特に不純物拡散層のシート抵抗値を低減することを目的に金属シリサイド膜を形成する技術が用いられているが、この金属シリサイドの膜厚は厚い程抵抗値が減少することは自明である。しかしながら単に抵抗値のみを狙って厚い金属シリサイド膜を活性領域上に形成す

ると接合界面と電極間の距離が短くなりこれにかかる電界が大きくなりリーク電流が増加することや、また製造過程において金属シリサイドの相変化に伴う体積膨張に起因して半導体基板の結晶欠陥を発生させ、接合リーク電流の増大をもたらすことが知られている。この接合リーク電流はDRAM等のメモリ装置においては無視出来ないものであり、活性領域に形成される金属シリサイド膜厚は、接合リーク電流との兼ね合いで自ずと決定されている。一方、最近の技術進歩に伴いメモリ装置の周辺回路部分、例えば電源回路部の活性領域上の金属シリサイド構造に関しては、配線抵抗の減少化、発熱量の低下などの諸仕様とともに、上記接合リーク電流値の許容レベルを配慮した構造が検討されてきている。このような観点に立って、本実施の形態1では周辺回路部において、配線抵抗、発熱許容可能な接合リーク電流等とのバランスを配慮した上で活性領域上の金属シリサイド膜厚を決定したものである。つまり周辺回路部では接合リーク電流への重み付けがメモリセル部のそれに比較して軽く出来るという点に注目したのである。このような観点からでは当然のことながら前記した $t_1 > t_2$ なる構造が採用可能となる。なお、通常一般にメモリセル部の金属シリサイド膜厚 t_2 は $1.5 \sim 3.5 \text{ nm}$ 程度である。

【0014】次にこの実施の形態1の半導体記憶装置の製造ステップを図2～図6によって説明する。図2に示すように、メモリセル部、周辺回路部に活性領域が形成された（図示省略）半導体基板1上に、この基板1に接して層間絶縁膜5を形成し、次に前記周辺回路部の活性領域上の層間絶縁膜5に開口20を設けた後、全面に第1の金属膜例えばコバルト、チタン、ニッケル、白金、またはバナジウム等と金属塗化膜をCVD等で成膜する。その後不活性ガス雰囲気中にて第1の熱処理、例えば $400 \sim 550^\circ\text{C}$ 、 $30 \sim 120$ 秒間施して図3に示す金属シリサイド40aを活性領域上に形成し、その後シリサイド化しなかった金属膜40を除去する。次に図4、図5に示すように、全面にレジスト膜10を成膜し、写真製版、エッチングにより、メモリセル部の活性領域上の絶縁膜5に開口20aを設けた後、全面に前記第1の金属膜と同材質の第2の金属膜40をCVD等で成膜する。その後再び前記第1の熱処理と同じ条件で第2の熱処理を行う。つづいてシリサイド化しなかった金属膜40を除去した後、不活性ガス雰囲気中にて第3の熱処理例えば $650^\circ\text{C} \sim 850^\circ\text{C}$ 、 $30 \sim 120$ 秒間施す。このようなプロセスを経て図6に示すように、周辺回路部の活性領域上に、 t_1 の膜厚を有する金属シリサイド膜4aを、メモリセル部の活性領域上に t_2 の膜厚を有する金属シリサイド膜4bを形成する。このようなプロセスを経た金属シリサイド4a、4bのそれぞれの膜厚 t_1 、 t_2 は当然のことながら $t_1 > t_2$ の構造を有することになる。

【0015】なお、前記実施の形態1では、半導体基板

10 10上に2種類の膜厚を有する金属シリサイド4a、4bを設けることを示したが、図3～図6のプロセスを繰り返すことによって2種類以上の複数の膜厚を有する金属シリサイド構造の半導体装置を提供することは容易に可能である。

【0016】実施の形態2。次に実施の形態2による半導体記憶装置の製造方法について説明する。この実施の形態2による製造方法は前記実施の形態1で述べた図2～図5の製造ステップつまり第2の熱処理を行うステップまでは同一である。つづいてシリサイド化しなかった金属膜40を除去すると、図6に示すような断面構造が得られる。その後、図7に示すように全面にレジスト膜10を成膜し、写真製版、エッチングにより周辺回路部の活性領域上に開口を設ける。次に $5 \sim 10 \text{ KeV}$ 、 $1 \text{ E} 14 \sim 1 \text{ E} 16 / \text{cm}^2$ で N_2 イオン注入を行う。このイオン注入を行うのは、完全シリサイド化を行う第3の熱処理時にコバルト等の金属が凝集し見かけ上金属シリサイドが欠乏した個所が発生し、抵抗値が増加することを予防する為である。つまり、イオン注入により他元素を金属膜、金属シリサイドに取り込み、第3の熱処理時のコバルト等の移動を防ぐことが出来る。このイオン注入のステップを経た後、レジスト膜10を除去し、第3の熱処理、例えば $650^\circ\text{C} \sim 850^\circ\text{C}$ 、 $30 \sim 120$ 秒間を施し、図7に示すように周辺回路部の活性領域上にはイオン注入され膜厚 t_1 を有する金属シリサイド膜4aが、メモリセル部には膜厚 t_2 を有する金属シリサイド膜4bの構造の半導体記憶装置が得られる。なお当然 $t_1 > t_2$ である。また、この実施の形態2ではイオン注入を N_2 としたが W であってもよく、またそれ以外に第3の熱処理時にシリサイド化する金属の移動を防ぐものであればよい。

【0017】実施の形態3。次に実施の形態3による半導体記憶装置について説明する。この実施の形態3では、基板1に接して形成する層間絶縁膜5をNSG膜とすることにある。このような構造の半導体記憶装置では、従来のシリコン塗化膜の絶縁膜に比較して接合リーク電流が低減する。この理由に関して明確ではないが、硬いシリコン塗化膜よりも軟らかいNSG膜を成膜することで、金属シリサイド膜に加わる応力の微妙な変化が起因していると考えられる。

【0018】実施の形態4。次に実施の形態4による半導体記憶装置の製造方法について説明する。この実施の形態2による製造方法は、前記実施の形態1で述べた図2～図5の製造ステップつまり第2の熱処理を行うステップまでは同一である。つづいてシリサイド化しなかった金属膜40を除去すると、図6に示すような断面構造が得られる。その後図8に示すように全面にタングステン膜、タングステンナイトライド膜、チタンナイトライド膜等を成膜し保護膜11とする。その後第3の熱処理例えば $650^\circ\text{C} \sim 850^\circ\text{C}$ 、 $30 \sim 120$ 秒間を施し、

つづいて前記保護膜11を除去する。このように保護膜11を金属膜、金属シリサイド膜上に成膜した後に第3の熱処理を施しているので雰囲気の酸素を遮断することができ、また金属膜中の金属、例えばコバルトの凝集を押さえて均一で均等な抵抗を有する金属シリサイド膜4a、4bを備えた半導体記憶装置を製造することができる。

【0019】

【発明の効果】この発明は以上述べたような構成および製造方法を採用しているので、以下に示すような効果を奏する。

【0020】周辺回路部基板の活性領域上に設けられた金属シリサイド膜厚が、メモリセル部基板の活性領域上に設けられた金属シリサイド膜厚より厚いので、メモリセル部での接合リーケ電流を増大化させることなく、周辺回路部の配線抵抗の低下とともに、消費電力の低減、発熱量の低減した半導体記憶装置が得られるという秀れた効果を奏する。

【0021】また、半導体基板に接してNSG膜が層間絶縁膜として形成されているので、接合リーケ電流の低減した半導体記憶装置が得られるという効果を奏する。

【0022】またさらに、活性領域が形成された半導体基板に接して層間絶縁膜を形成し、周辺回路部活性領域上に開口後、金属膜を成膜、第1の熱処理によって金属シリサイド化し、シリサイド化しなかった金属膜を除去後、メモリセル部活性領域上の絶縁膜に開口し、全面に金属膜を成膜し第2の熱処理を施して金属シリサイド膜を形成し、つづいてシリサイド化しなかった金属膜を除去後第3の熱処理を施すステップを備えた半導体装置の製造方法であるので、周辺回路部活性領域上の金属シリサイド膜厚が、メモリセル部のそれに比して厚く形成することができ、周辺回路部の配線抵抗の低下、消費電力、発熱量が低減した、かつメモリセル部の接合リーケ電流を増大化させることのない半導体記憶装置を製造できるという効果を奏する。

【0023】また、前記第3の熱処理を施す前にメモリセル部の活性領域上に開口を設け、イオン注入を行うステップを有しているので、後の第3の熱処理時にシリサイド化される金属の移動を防止して凝集現象をなくし、均一なシート抵抗の金属シリサイド膜を有した半導体記憶装置を製造することができるという効果を奏する。

【0024】またさらに、前記第3の熱処理を施す前に、全面に保護膜を形成するステップを有しているので、後の第3の熱処理時に雰囲気中の酸素を遮断し、またシリサイド化される金属の凝集をなくし、均一な抵抗を有する配線を有した半導体記憶装置を製造することができるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の実施の形態1～4の半導体記憶装置の活性領域部分を示す図である。

【図2】この発明の実施の形態1～4の製造ステップを示す図である。

【図3】この発明の実施の形態1～4の製造ステップを示す図である。

【図4】この発明の実施の形態1～4の製造ステップを示す図である。

【図5】この発明の実施の形態1～4の製造ステップを示す図である。

【図6】この発明の実施の形態1～4の製造ステップを示す図である。

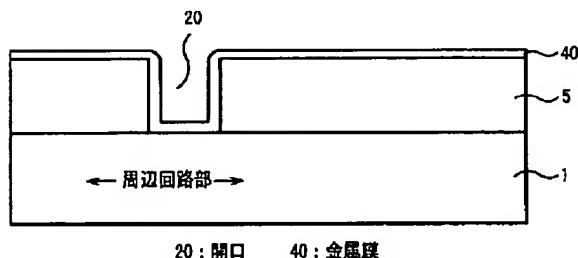
【図7】この発明の実施の形態2の製造ステップを示す図である。

【図8】この発明の実施の形態4の製造ステップを示す図である。

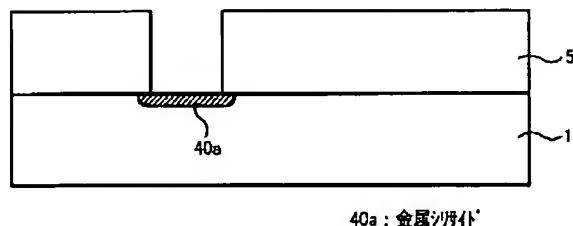
【符号の説明】

1 基板、2 ゲート電極、3 LOCOS、4a, 4b 金属シリサイド膜、5 層間絶縁膜、10 レジスト、11 保護膜、20, 20a 開口、 t_1 , t_2 金属シリサイド膜、40 金属膜。

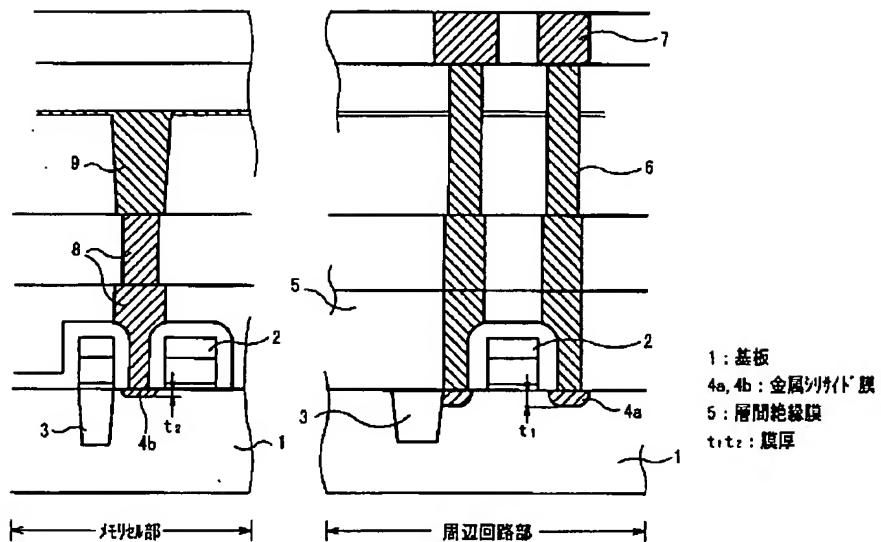
【図2】



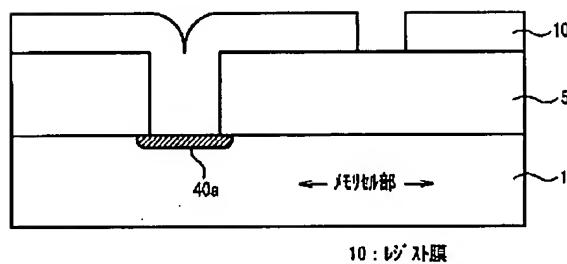
【図3】



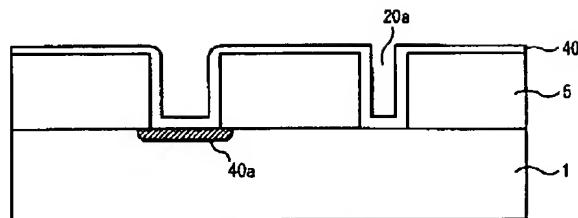
【図1】



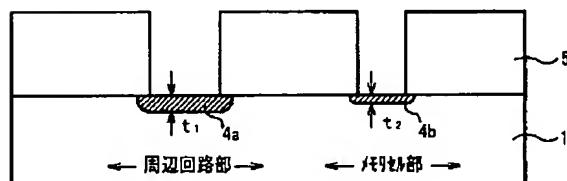
【図4】



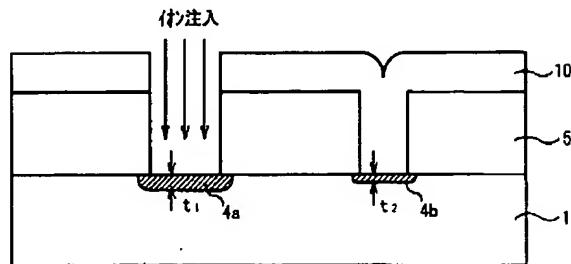
【図5】



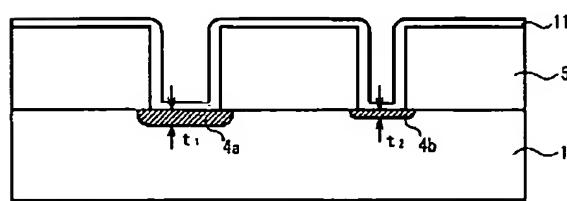
【図6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 4M104 BB20 BB21 BB22 BB24 BB25
CC01 DD06 DD19 DD26 DD78
DD84 GG09 GG16 HH16 HH20
5F083 GA06 JA35 JA38 JA39 JA40
JA56 MA04 MA17 MA19 MA20
PR34 PR36 PR43 PR44 PR53
PR54 ZA06 ZA12

DERWENT-ACC-NO: 2003-536862

DERWENT-WEEK: 200351

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE Semiconductor memory, e.g. DRAM, comprises metal silicide film with thickness thicker in active region of periphery circuit portion of substrate than thickness in active region of memory cell portion of substrate

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITCO]

PRIORITY-DATA: 2001JP-0342706 (November 8, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP2003142608 A	May 16, 2003	N/A	007	H01L 021/8242

APPLICATION-DATA

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2003142608A	N/A	2001JP-0342706	November 8, 2001

INT-CL (IPC): H01L 021/28, H01L 021/8242, H01L 027/10, H01L 027/108

ABSTRACTED-PUB-NO: JP2003142608A

BASIC-ABSTRACT:

NOVELTY - A semiconductor memory has a memory cell portion provided on a semiconductor substrate (1) and a periphery circuit portion. The thickness (t1) of a metal silicide film (4a) formed in the active region of the periphery circuit portion is thicker than the thickness (t2) of the metal silicide film (4b) formed in the active region of the memory cell portion.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for manufacture of the semiconductor memory.

USE - Used as a semiconductor memory such as a DRAM, SRAM and logic hybrid memory.

ADVANTAGE - The memory reduces the wiring resistance of the periphery circuit portion without increasing the joining leak electric current value in the memory cell portion, thereby reducing the power consumption and heat energy release of the semiconductor memory.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the active region of the semiconductor memory. (Drawing includes non-English language text)

Semiconductor substrate 1

Metal silicide films 4a,4b

Metal film silicide film thickness t1,t2

CHOSEN DRAWING Dwg 1/8

TITLE-TERMS: SEMICONDUCTOR MEMORY DRAM COMPRIZE METAL SILICIDE FILM THICK THICK
ACTIVE REGION PERIPHERAL CIRCUIT PORTION SUBSTRATE THICK
ACTIVE
REGION MEMORY CELL PORTION SUBSTRATE

DER WENT-CLASS: L03 U11

CPI-CODES: L03-G04A, L04-C10E

EPI-CODES: U11-C18B5, U11-D03C1

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2003-145683

Non-CPI Secondary Accession Numbers: N2003-426080

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.